

SOLID STATE IMAGE SENSING ELEMENT

Patent number: JP9082932

Publication date: 1997-03-28

Inventor: NAKANO YASUSHI; SAMEJIMA KENJI;
OZAKI TOSHIBUMI; HIRAI TADAAKI;
TSUJI KAZUTAKA; KATO TSUTOMU;
KUBOTA SETSU; TAKIGUCHI YOSHIRO

Applicant: HITACHI LTD;; NIPPON HOSO KYOKAI
<NHK>

Classification:

- **International:** H01L27/146; H01L31/107; H04N5/335

- **European:**

Application number: JP19950241058 19950920

Priority number(s):

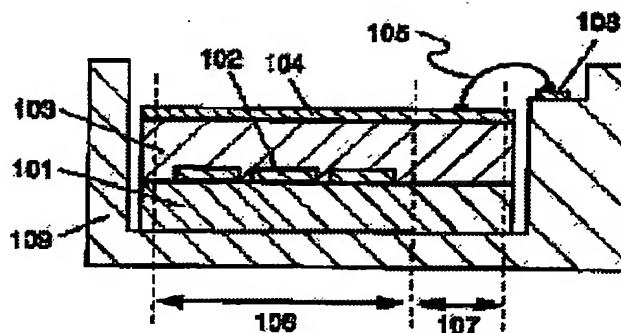
Also published as:

 JP9082932 (A)

Abstract of JP9082932

PROBLEM TO BE SOLVED: To provide a solid state image sensing element wherein durability of the element is remarkably improved when high electric field is applied, for realizing a stable solid state image sensing element of high sensitivity.

SOLUTION: A photoelectric conversion film 103 which generates photoelectric charges and multiplies them and a transparent electrode film 104 are formed above a semiconductor integrated circuit board 101 for scanning wherein scanning elements which transfer photoelectric charges are integrated. A lead wire 105 for applying a voltage to the transparent electrode film is connected with the transparent electrode film in the outside 107 of an effective photoelectric conversion region. The outside 107 of the effective photoelectric conversion region is made to have a high withstand voltage, in order not to be broken down when an avalanche break down voltage is applied to the photoelectric conversion film of the effective photoelectric conversion region 106.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 9 - 8 2 9 3 2

(43)公開日 平成9年(1997)3月28日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/146		H 0 1 L 27/14	E
	31/107		H 0 4 N 5/335	U
H 0 4 N	5/335		H 0 1 L 31/10	B

審査請求 未請求 請求項の数 1 7 O L

(全 1 8 頁)

(21)出願番号 特願平7-241058

(22)出願日 平成7年(1995)9月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72)発明者 中野 泰

東京都国分寺市東恋ヶ窪1丁目280番地 株

式会社日立製作所中央研究所内

(72)発明者 鮫島 賢二

東京都国分寺市東恋ヶ窪1丁目280番地 株

式会社日立製作所中央研究所内

(74)代理人 弁理士 秋田 収喜

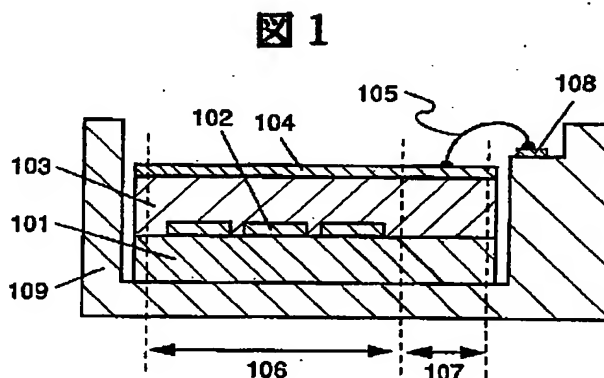
最終頁に続く

(54)【発明の名称】 固体撮像素子

(57)【要約】

【目的】 高感度で安定した固体撮像素子を実現するため、高電界を印加した場合における素子の耐久性を大幅に向上させた固体撮像素子を提供する。

【構成】 光電荷を転送する走査素子を集積化した走査用半導体集積回路基板 1 0 1 の上部に、当該光電荷を発生しかつ増倍させる光電変換膜 1 0 3 および透明電極膜 1 0 4 が形成され、当該透明電極膜に電圧を印加するためのリード線 1 0 5 が有効光電変換領域外 1 0 7 で透明電極膜に接続され、有効光電変換領域外 1 0 7 は、有効光電変換領域 1 0 6 の光電変換膜にアバランシェブレイクダウン電圧を印加しても、破損しないように高耐電圧化される。



【特許請求の範囲】

【請求項 1】 信号読み出し電極を有する走査回路基板上に、入射光に応じた光電荷を発生する光電変換膜と光電変換膜に電圧を印加するための上部電極膜とが順次積層されて形成され、入射光の受光領域である有効光電変換領域とそれ以外の領域とから構成される固体撮像素子であって、

前記上部電極膜に電圧を印加することにより、前記光電変換膜内で電荷増倍現象を発生させて感度を向上させた固体撮像素子において、

前記上部電極膜に印加される電圧により前記有効光電変換領域外の部分で絶縁破壊が起きる絶縁破壊電圧を、前記上部電極膜に印加される電圧により前記有効光電変換領域内の光電変換膜で電荷増倍現象が発生するアバランシェブレイクダウン電圧よりも大きくしたことを特徴とする固体撮像素子。

【請求項 2】 前記有効光電変換領域外の光電変換膜が、その絶縁破壊電圧が、前記有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きい材料を用いることを特徴とする請求項 1 に記載された固体撮像素子。

【請求項 3】 前記上部電極膜に印加される電圧により、前記有効光電変換領域外の部分に生じる電界を、前記上部電極膜に印加される電圧により、前記有効光電変換領域内の光電変換膜に生じる電界よりも小さくしたことを特徴とする請求項 1 または請求項 2 に記載された固体撮像素子。

【請求項 4】 前記有効光電変換領域外の、少なくとも一部の領域の光電変換膜の膜厚を、前記有効光電変換領域内の光電変換膜の膜厚よりも大きくしたことを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載された固体撮像素子。

【請求項 5】 前記有効光電変換領域外の上部電極膜膜上の一部に形成される、半導体あるいは絶縁体からなる第 1 の層と、前記第 1 の層上から前記第 1 の層が形成されていない前記上部電極膜上の一部に渡って形成される、前記上部電極膜と電気的に接続される導電性膜とを具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記第 1 の層上の前記導電性膜に接続されることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載された固体撮像素子。

【請求項 6】 前記上部電極膜上に形成される、単層または多層膜からなる導電性の保護膜を具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記保護膜に接続されることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載された固体撮像素子。

【請求項 7】 前記有効光電変換領域外の上部電極膜と光電変換膜との間に形成される、単層または多層膜からなる導電性の保護膜を具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記保護膜上の前記上部電極膜

に接続されることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載された固体撮像素子。

【請求項 8】 前記導電性の保護膜が、テルル (Te)、アンチモン (Sb)、鉛 (Pb) または亜鉛 (Zn) であることを特徴とする請求項 6 または請求項 7 に記載された固体撮像素子。

【請求項 9】 前記有効光電変換領域外の光電変換膜内部の上部電極膜との界面付近に形成される第 1 の電荷捕獲層を具備することを特徴とする請求項 1 ないし請求項 8 のいずれか 1 項に記載された固体撮像素子。

【請求項 10】 前記有効光電変換領域内の光電変換膜内部の上部電極膜との界面付近に形成される第 2 の電荷捕獲層を具備し、前記第 1 の電荷捕獲層の捕獲密度が、前記第 2 の電荷捕獲層の捕獲密度よりも大きいことを特徴とする請求項 9 に記載された固体撮像素子。

【請求項 11】 前記有効光電変換領域内の光電変換膜内部の上部電極膜との界面付近に第 2 の電荷捕獲層を具備し、前記第 1 の電荷捕獲層の膜厚が、前記第 2 の電荷捕獲層の膜厚よりも大きいことを特徴とする請求項 9 に記載された固体撮像素子。

【請求項 12】 前記有効光電変換領域外の走査回路基板に形成され第 1 の電極を少なくとも一個具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記第 1 の電極上の前記上部電極膜に、直接または間接的に接続され、さらに、前記第 1 の電極に、前記信号読み出し電極に印加される電圧と前記上部電極膜に印加される電圧との間の大きさの電圧を印加することを特徴とする請求項 1 ないし請求項 11 のいずれか 1 項に記載された固体撮像素子。

【請求項 13】 前記第 1 の電極の上部電極膜とは反対側に半導体層または絶縁体層を介して形成される第 2 の電極を具備し、前記第 2 の電極に、前記走査回路に印加される電圧と前記第 1 の電極に印加される電圧との間の大きさの電圧を印加することを特徴とする請求項 12 に記載された固体撮像素子。

【請求項 14】 前記有効光電変換領域外の走査回路基板に形成される半導体 p n 接合層もしくは半導体 p i n 接合層を具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記接合層上の上部電極膜に接続され、さらに、前記接合層の接合順序を、前記上部電極膜の電位が前記信号読み出し電極の電位よりも高電位であるときには前記光電変換膜側の半導体を n 型、前記上部電極膜の電位が信号読み出し電極の電位より低電位であるときには前記光電変換膜側の半導体を P 型としたことを特徴とする請求項 1 ないし請求項 11 のいずれか 1 項に記載された固体撮像素子。

【請求項 15】 前記信号読み出し電極が不純物がドーブされた半導体層であり、前記有効光電変換領域外の走査回路基板に形成される、前記信号読み出し電極と同導電型の半導体層を具備し、前記上部電極膜に電圧を印加

する電圧供給線が、前記半導体層上の前記上部電極膜に接続されることを特徴とする請求項 1 ないし請求項 11 のいずれか 1 項に記載された固体撮像素子。

【請求項 16】 前記有効光電変換領域内の光電変換膜の主たる材料が、非晶質セレン (Se) であることを特徴とする請求項 1 ないし請求項 15 のいずれか 1 項に記載された固体撮像素子。

【請求項 17】 有効光電変換領域内の光電変換膜の主たる材料が、非晶質シリコン (Si) であることを特徴とする請求項 1 ないし請求項 15 のいずれか 1 項に記載された固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板上に走査回路および光電変換膜を形成した固体撮像素子に係わり、特に、高感度、高精細かつ動作安定性に優れた固体撮像素子に関するものである。

【0002】

【従来の技術】 従来の固体撮像素子としては、光電変換部のフォトダイオードと、そこで生成した光電荷を転送する走査素子とを半導体基板上に集積化した構造の固体撮像素子が開発され製品化されている。

【0003】 この構造の固体撮像素子が開発された当初は、フォトダイオードと走査素子が同一平面上に配置されているため、開口率（受光面に入射する光量に対する光電変換部に入射する光量の割合）が小さく、光利用率が低く入射光の損失が大きかった。

【0004】 その後、オンチップマイクロレンズの開発等により実質開口率は、60%以上にまで向上するにいたっているが、フォトダイオードと走査素子が同一平面上に配置される限り実質開口率の向上には限界がある。

【0005】 そこで、例えば、特開昭 51-010715 号公報に記載されているように、光電荷転送用の回路基板の上部に、当該光電荷を発生する光電変換膜を積み重ねた構造の固体撮像素子が提案された。

【0006】 この構造では、受光面全体が光電変換膜になるので開口率を 100% 近くにでき、感度の向上が可能となる。

【0007】 一方、光電変換膜で生成した光電荷を電子ビームで走査する方式の撮像素子として撮像管があるが、この撮像管において、光電変換膜に強い電界を印加してアバランシェ増倍現象を発生させて光電変換効率を 1 以上にするアバランシェ増倍型の撮像管が開発されている。

【0008】 このアバランシェ増倍型撮像管では、入射光子数に対する、光電変換膜内で生成される光電荷の数の比である利得が、数 10 から数 100 にもなる。

【0009】 例えば、「テレビジョン学会技術報告、Vol. 15、No 52、P7 (1991)」の記載によれば、前記光電変換膜内部での電荷増倍現象を利用した

撮像管では、電氣的増幅器とは異なる無雑音増倍作用があるため、従来の撮像素子をこえる、高感度、高画質という特徴をもつ。

【0010】 そこで、例えば、特開昭 63-174480 号公報に記載されているように、固体撮像素子においてもさらなる高感度化のために、積層型固体撮像素子の光電変換膜（フォトダイオード）に強い電界を印加して、アバランシェ増倍現象を発生させるアバランシェ増倍型の積層型固体撮像素子が提案されている。

【0011】

【発明が解決しようとする課題】 走査回路の上に光電変換膜を積層形成する方法で固体撮像素子を作製する場合は、光電変換膜上に透明電極膜を形成し、透明電極膜に電圧を印加するためのリード導線を透明電極膜に接続する構造となる。

【0012】 例えば、光電変換膜の材料に非晶質 Se を用いた場合では、光電変換膜に 8×10^5 (V/cm) 以上の電界を印加するとアバランシェ増倍がはじまる。

【0013】 そして、さらに電界を強めると数倍から数 100 倍以上の増倍を起こすことができる。

【0014】 しかしながら、従来の固体撮像素子の構造では、高電界を印加したときの素子の絶縁破壊に対する配慮が充分になされていなかった。

【0015】 図 20 は、従来の固体撮像素子の斜視図、図 21 は、図 20 に示す固体撮像素子の断面図である。

【0016】 なお、図 20、図 21 に示す固体撮像素子は、例えば、特開昭 58-202673 号公報、特開昭 56-780 号公報に記載されている。

【0017】 図 20、図 21 に示す固体撮像素子は、走査回路基板 5 上に、パッシベーション膜 4、画素電極 2、光電変換膜 1、透明電極膜 10、および、リード導線 3 からなる積層型固体撮像素子である。

【0018】 本発明者は、前記図 20、図 21 に示す従来の固体撮像素子を何度も試作し、光電変換膜に電界を印加する実験を重ねた結果、以下のような問題点を発見した。

【0019】 前記従来の固体撮像素子の構造においては、光電変換膜 1 に 8×10^5 (V/cm) 以上の高電界を印加すると、光電変換膜 1 の有効光電変換領域外の部分で先に素子の局所的絶縁破壊による透明電極膜 10 の断線や過大なリーク電流の発生があり、光電変換膜 1 に高い電界を印加できず、十分に大きな増倍率を得ることができないという問題点を発見した。

【0020】 具体的には、光電変換膜 1 のエッジ部分 (7, 9) と、透明電極膜 10 のリード導線接続箇所 (8, 6) が、最も絶縁破壊により破損しやすかった。

【0021】 リード導線接続箇所 (8, 6) の破損原因として以下のことが考えられる。

【0022】 透明電極膜 10 の膜厚が数 10 nm 程度で薄いという理由と、光電変換膜 1 もその材料によっては

熱的に弱いという理由で、透明電極膜 10 にリード導線 3 を接続する際に、光電変換膜 1 に損傷を与えてしまう可能性が大きい。

【0023】したがって、光電変換膜 1 に高電圧を印加した際に、有効光電変換領域と同じ大きさの電界がリード導線接続箇所の光電変換膜 1 に加わり、損傷部分に大きな電流が流れる等の原因で光電変換膜 1 が絶縁破壊を起こし破損してしまう。

【0024】また、光電変換膜 1 のエッジ部分 (7, 9) での破損原因は、エッジ部分 (7, 9) の断差上に透明電極膜 10 を形成するので、断差での電界集中による過大電流の発生が考えられる。

【0025】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、固体撮像素子において、高感度で安定した固体撮像素子を実現するため、高電界を印加した場合における素子の耐久性を大幅に向上させることが可能となる技術を提供することにある。

【0026】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【0027】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0028】(1) 信号読み出し電極を有する走査回路基板上に、入射光に応じた光電荷を発生する光電変換膜と光電変換膜に電圧を印加するための上部電極膜とが順次積層されて形成され、入射光の受光領域である有効光電変換領域とそれ以外の領域とから構成される固体撮像素子であって、前記上部電極膜に電圧を印加することにより、前記光電変換膜内で電荷増倍現象を発生させて感度を向上させた固体撮像素子において、前記上部電極膜に印加される電圧により前記有効光電変換領域外の部分で絶縁破壊が起きる絶縁破壊電圧を、前記上部電極膜に印加される電圧により前記有効光電変換領域内の光電変換膜で電荷増倍現象が発生するアバランシェブレイクダウン電圧よりも大きくしたことを特徴とする。

【0029】(2) 前記 (1) の手段において、前記有効光電変換領域外の光電変換膜が、その絶縁破壊電圧が、前記有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きい材料を用いることを特徴とする。

【0030】(3) 前記 (1) または (2) の手段において、前記上部電極膜に印加される電圧により、前記有効光電変換領域外の部分に生じる電界を、前記上部電極膜に印加される電圧により、前記有効光電変換領域内の光電変換膜に生じる電界よりも小さくしたことを特徴とする。

【0031】(4) 前記 (1) ないし (3) の手段にお

いて、前記有効光電変換領域外の、少なくとも一部の領域の光電変換膜の膜厚を、前記有効光電変換領域内の光電変換膜の膜厚よりも大きくしたことを特徴とする。

【0032】(5) 前記 (1) ないし (4) の手段において、前記有効光電変換領域外の上部電極膜上の一部に形成される、半導体あるいは絶縁体からなる第 1 の層と、前記第 1 の層上から前記第 1 の層が形成されていない前記上部電極膜上の一部に渡って形成される、前記上部電極膜と電気的に接続される導電性膜とを具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記第 1 の層上の前記導電性膜に接続されることを特徴とする。

【0033】(6) 前記 (1) ないし (4) の手段において、前記上部電極膜上に形成される、単層または多層膜からなる導電性の保護膜を具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記保護膜に接続されることを特徴とする。

【0034】(7) 前記 (1) ないし (4) の手段において、前記有効光電変換領域外の上部電極膜と光電変換膜との間に形成される、単層または多層膜からなる導電性の保護膜を具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記保護膜上の前記上部電極膜に接続されることを特徴とする。

【0035】(8) 前記 (7) の手段において、前記導電性の保護膜が、テルル (Te)、アンチモン (Sb)、鉛 (Pb) または亜鉛 (Zn) であることを特徴とする。

【0036】(9) 前記 (1) ないし (8) の手段において、前記有効光電変換領域外の光電変換膜内部の上部電極膜との界面付近に形成される第 1 の電荷捕獲層を具備することを特徴とする。

【0037】(10) 前記 (9) の手段において、前記有効光電変換領域内の光電変換膜内部の上部電極膜との界面付近に形成される第 2 の電荷捕獲層を具備し、前記第 1 の電荷捕獲層の捕獲密度が、前記第 2 の電荷捕獲層の捕獲密度よりも大きいことを特徴とする。

【0038】(11) 前記 (9) の手段において、前記有効光電変換領域内の光電変換膜内部の上部電極膜との界面付近に第 2 の電荷捕獲層を具備し、前記第 1 の電荷捕獲層の膜厚が、前記第 2 の電荷捕獲層の膜厚よりも大きいことを特徴とする。

【0039】(12) 前記 (1) ないし (11) の手段において、前記有効光電変換領域外の走査回路基板上に形成され第 1 の電極を少なくとも一個具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記第 1 の電極上の前記上部電極膜に、直接または間接的に接続され、さらに、前記第 1 の電極に、前記信号読み出し電極に印加される電圧と前記上部電極膜に印加される電圧との間の大きさの電圧を印加することを特徴とする。

【0040】(13) 前記 (12) の手段において、前記第 1 の電極の上部電極膜とは反対側に半導体層または

絶縁体層を介して形成される第2の電極を具備し、前記第2の電極に、前記走査回路に印加される電圧と前記第1の電極に印加される電圧との間の大きさの電圧を印加することを特徴とする。

【0041】(14) 前記(1)ないし(11)の手段において、前記有効光電変換領域外の走査回路基板に形成される半導体pn接合層もしくは半導体pin接合層を具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記接合層上の上部電極膜に接続され、さらに、前記接合層の接合順序を、前記上部電極膜の電位が前記信号読み出し電極の電位よりも高電位であるときには前記光電変換膜側の半導体をn型、前記上部電極膜の電位が信号読み出し電極の電位より低電位であるときには前記光電変換膜側の半導体をP型としたことを特徴とする。

【0042】(15) 前記(1)ないし(11)の手段において、前記信号読み出し電極が不純物がドーパされた半導体層であり、前記有効光電変換領域外の走査回路基板に形成される、前記信号読み出し電極と同導電型の半導体層を具備し、前記上部電極膜に電圧を印加する電圧供給線が、前記半導体層上の前記上部電極膜に接続されることを特徴とする。

【0043】

【作用】前記(1)の手段によれば、アバランシェ増倍型の固体撮像素子において、有効光電変換領域外の部分の絶縁破壊電圧を、有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きくするようにしたので、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となり、これにより、高い増倍率を安定して得ることが可能となる。

【0044】前記(2)の手段によれば、有効光電変換領域外の光電変換膜として、その絶縁破壊電圧が、有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きい材料を用いるようにしたので、有効光電変換領域外の部分の絶縁破壊電圧を、有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きくすることが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0045】前記(3)の手段によれば、有効光電変換領域外の部分に生じる電界を、上部電極膜に印加される電圧により、前記有効光電変換領域内の光電変換膜に生じる電界よりも小さくするようにしたので、有効光電変換領域外の部分の絶縁破壊電圧を、有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きくすることが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0046】前記(4)の手段によれば、有効光電変換領域外の、少なくとも一部の領域の光電変換膜の膜厚

を、前記有効光電変換領域内の光電変換膜の膜厚よりも大きくするようにしたので、有効光電変換領域外の部分の絶縁破壊電圧を、有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きくすることが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0047】前記(5)の手段によれば、有効光電変換領域外の上部電極膜上の一部に、半導体あるいは絶縁体からなる第1の層を形成し、第1の層上から第1の層が形成されていない上部電極膜上の一部に渡って上部電極膜と電気的に接続される導電性膜を形成し、また、電圧供給線を、第1の層上の導電性膜に接続するようにしたので、有効光電変換領域外の部分の絶縁破壊電圧を、有効光電変換領域内の光電変換膜のアバランシェブレイクダウン電圧よりも大きくすることが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0048】前記(6)または(7)の手段によれば、上部電極膜上に、あるいは、有効光電変換領域外の上部電極膜と光電変換膜との間に、単層または多層膜からなる導電性の保護膜を形成し、また、電圧供給線を、保護膜上、あるいは、保護膜上の上部電極膜に接続するようにしたので、電圧供給線のボンディング時の下地膜へのダメージを軽減することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0049】前記(8)の手段によれば、導電性の保護膜として、テルル(Te)、アンチモン(Sb)、鉛(Pb)または亜鉛(Zn)を用いるようにしたので、導電性の保護膜を形成する際に下地膜にダメージを与えることなく、電圧供給線のボンディング時の下地膜へのダメージを軽減することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0050】前記(9)の手段によれば、有効光電変換領域外の光電変換膜内部の上部電極膜との界面付近に第1の電荷捕獲層を形成するようにしたので、第1の電荷捕獲層により有効光電変換領域外の光電変換膜に生じる電界を緩和することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0051】前記(10)または(11)の手段によれば、有効光電変換領域内の光電変換膜内部の上部電極膜との界面付近に第2の電荷捕獲層を形成し、第1の電荷捕獲層の膜厚、あるいは、捕獲密度を、第2の電荷捕獲層の膜厚、あるいは、捕獲密度よりも大きくするようにしたので、第1の電荷捕獲層により有効光電変換領域外の光電変換膜に生じる電界を緩和するとともに、有効光電

変換領域の光電変換膜の暗電流を低減することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0052】前記(12)の手段によれば、有効光電変換領域外の走査回路基板に第1の電極を少なくとも一個形成し、また、電圧供給線を、第1の電極上の上部電極膜に、直接または間接的に接続し、さらに、第1の電極に、信号読み出し電極に印加する電圧と上部電極膜に印加する電圧との間の大きさの電圧を印加するようにしたので、第1の電極により有効光電変換領域外の光電変換膜に生じる電界を緩和することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0053】前記(13)の手段によれば、第1の電極の上部電極膜とは反対側に半導体層または絶縁体層を介して第2の電極を形成し、また、第2の電極に、走査回路に印加する電圧と第1の電極に印加する電圧との間の大きさの電圧を印加するようにしたので、第1の電極により有効光電変換領域外の光電変換膜に生じる電界を緩和するとともに、第2の電極による第1の電極による影響を遮断することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0054】前記(14)の手段によれば、有効光電変換領域外の走査回路基板に、半導体p-n接合層もしくは半導体p-i-n接合層を形成し、また、電圧供給線を、接合層上の上部電極膜に接続するようにしたので、接合層により有効光電変換領域外の光電変換膜に生じる電界を緩和することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0055】前記(15)の手段によれば、信号読み出し電極を不純物がドーパされた半導体層で形成するとともに、有効光電変換領域外の走査回路基板に信号読み出し電極と同導電型の半導体層を形成し、また、電圧供給線を、半導体上の前記上部電極膜に接続するようにしたので、半導体層により有効光電変換領域外の光電変換膜に生じる電界を緩和することが可能となり、有効光電変換領域の光電変換膜にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することが可能となる。

【0056】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0057】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0058】【実施例1】図1は、本発明の一実施例(実施例1)である固体撮像素子の概略構成を示す断面図である。

【0059】本実施例においては、走査回路基板101の上に信号読み出し用の画素電極102が配置され、その上に光電変換膜103と上部透明電極膜104が積層される。

【0060】透明電極膜104に電圧を印加するためのリード導線105が、透明電極膜104の一端で接続され、当該リード導線105は、素子のパッケージ109上のピン端子に通ずる導電性膜108に接続されている。

【0061】走査回路基板101は、各画素電極102に蓄積した信号電荷を読み出す機能をもつ。

【0062】信号読み出し用の画素電極102が配置されている受光面領域の範囲を有効光電変換領域106、前記受光面領域以外の領域の範囲をリード導線接続領域107と呼ぶことにする。

【0063】なお、図1では、リード導線接続領域107に画素電極102が配置されていないが、画素電極102が配置されていても良い。

【0064】本実施例の固体撮像素子を動作させるときには、画素電極102と上部透明電極膜104との間に高電圧を印加して、光電変換膜103内における電荷増倍現象を発生させる。

【0065】例えば、光電変換膜103が、非晶質セレン(Se)を母体とする半導体材料からなり、その有効光電変換領域106での膜厚が $1\mu\text{m}$ の場合は、増倍率10倍の電荷増倍現象を発生させるため透明電極膜104に145Vの電圧を印加する。

【0066】このとき、有効光電変換領域106の光電変換膜103内には、 1.45×10^6 (V/cm)の電界が生じる。

【0067】受光面である上部透明電極膜104に入射した光は、光電変換膜103内で電子正孔対を生成する。

【0068】電子はそのまま上部透明電極膜104に吸収され、正孔は画素電極102に到達するまでの間にイオン化衝突を起こし新たな電子正孔対を生成する。

【0069】こうして最終的には、一次光電荷の10倍の電荷が画素電極102に蓄積されることになるので、感度を大きくすることができる。

【0070】本実施例では、リード導線接続領域107における、高電圧が印加される上部透明電極膜104と接している光電変換膜103の耐電圧、即ち、リード導線接続領域107の光電変換膜103が絶縁破壊して破損する電圧を、有効光電変換領域106における、光電変換膜103のアバランシェブレイクダウン電圧より大きくするように素子の構造を改良し、光電変換膜103にアバランシェブレイクダウン電圧直前の大きさの電圧まで印加することができるようにする。

【0071】これにより、高い増倍率を安定して得ることができ、従来とは比較にならないほど高感度な固体撮

像素子を実現できる。

【0072】また、光電変換膜103に印加する電圧を変えることで、感度の設定を容易にかつ幅広く選択することが可能になる。

【0073】[実施例2] 図2は、本発明の他の実施例(実施例2)である固体撮像素子の概略構成を示す断面図である。

【0074】本実施例は、シリコン(Si)基板208上に、走査回路を構成するMOS型スイッチ回路205および絶縁層206を介して、信号読み出し用の画素電極203を配置し、さらに、その上に光電変換膜202と上部ITO透明電極膜201を積層した固体撮像素子である。

【0075】分離絶縁層204は、画素電極203を分離する絶縁層であり、MOS型スイッチ回路205は、各画素電極203に蓄積した電荷を伝送するためのスイッチ回路である。

【0076】また、透明電極膜201に電圧を印加するためのリード導線207が、リード導線接続領域211で透明電極膜201に接続されている。

【0077】本実施例の固体撮像素子は、まず、シリコン(Si)基板208上に走査回路と画素電極203及び分離絶縁層204までを、通常のMOS、LSIプロセスにより形成する。

【0078】続いて、光電変換膜202、ITO透明電極膜201を順次積層形成し、最後に、リード導線207を透明電極膜201にボンディングする。

【0079】ここで、図2に示す209の範囲を有効光電変換領域、211の範囲をリード導線接続領域、210の範囲を中間領域と呼ぶことにする。

【0080】光電変換膜202は、非晶質セレン(Se)を母体とする半導体材料からなりその有効光電変換領域209での膜厚212は1 μ mである。

【0081】また、透明電極膜201に145Vの電圧を印加して光電変換膜内に1.45 $\times 10^6$ (V/cm)の電界を発生させる。

【0082】本実施例では、リード導線接続領域211の光電変換膜202に生じる電界が、有効光電変換領域209の光電変換膜202に生じる電界よりも大幅に緩和されるように素子の構造を以下のように改良した。

【0083】リード導線接続領域211では、画素電極203が配置されていないのでシリコン(Si)基板208が透明電極膜201の対向電極となり、145Vの電圧を透明電極膜201に印加することにより、絶縁層206、分離絶縁層204、光電変換膜202に渡る領域213に電界が生じることになる。

【0084】絶縁層206と分離絶縁層204により、領域211は領域209より層厚が多少大きくなるため、ある程度の電界緩和効果はあるが不十分である。

【0085】そこで、本実施例では、リード導線接続領

域211の光電変換膜202の上にさらに膜厚3 μ mの増し付け光電変換膜214を積層する。

【0086】この際、中間領域210の膜厚の遷移する部分215を滑らかにする必要がある。

【0087】中間領域210の膜厚の遷移する部分215が充分滑らかでないと、電界集中が発生し、そこで光電変換膜202の絶縁破壊が起こり耐電圧が低下してしまう。

【0088】ここでは、増し付け光電変換膜214を蒸着する際に、有効光電変換領域209を隠すマスクと基板との間の距離を通常より離して蒸着材料の廻り込みを大きくし、図2に示すように、滑らかに膜厚が変化するように形成した。

【0089】増し付け光電変換膜214の導入により、リード導線接続領域211の光電変換膜202に発生する電界は1/4の3.5 $\times 10^5$ (V/cm)以下となる。

【0090】この大きさの電界であれば、リード導線接続領域211での電界による光電変換膜202の絶縁破壊による膜破損の恐れがなくなる。

【0091】このように、本実施例によれば、非晶質セレン(Se)やITO透明電極膜201のように熱に弱い材料を用いた場合で、万が一、金(Au)線からなるリード導線207のボンディングの際に、光電変換膜202に損傷を与えてしまったとしても、リード導線接続領域211には強い電界が加わることがないので、リード導線接続領域211における光電変換膜202の絶縁破壊による膜破損の可能性を大幅に低減できる。

【0092】なお、本実施例では、読取り転送回路にMOS型走査回路を用いたが、代わりにCCD型走査回路を用いても良い。

【0093】また、以下の実施例においても、読取り転送回路としてMOS型走査回路、CCD型走査回路のいずれを用いても良い。

【0094】[実施例3] 図3は、本発明の他の実施例(実施例3)である固体撮像素子の概略構成を示す断面図である。

【0095】本実施例の固体撮像素子においては、非晶質シリコン(Si)を母体とする光電変換膜を用いており、この非晶質シリコン(Si)は、前記実施例2で用いた非晶質セレン(Se)よりも耐熱性の点で優れた材料である。

【0096】本実施例では、P型シリコン(Si)ウエハ301の裏面に読取り転送機能をもつ走査回路を形成し、表面に高濃度のN型層からなる画素電極302を配置し、画素電極とソース電極303を高濃度のN型溝304で電気的に接続する。

【0097】ここで、305はドレイン電極、306はゲート電極、307は二酸化シリコン(SiO₂)からなるゲート絶縁層である。

【0098】このようにして作製した下地基板の表面上に、非ドーブ水素化非晶質シリコン(Si)層308、P型非晶質水素化炭化ケイ素(SiC)電子注入阻止層309からなる厚さ1 μ mの光電変換膜310をPECVD法で形成する。

【0099】そして、ITO透明電極膜311をスパッタリング法で形成し、リード導線接続領域の透明電極膜311上にテルル(Te)からなる導電性保護膜312を積層し、金(Au)線からなるリード導線313を導電性保護膜312にボンディングする。

【0100】導電性保護膜312の緩衝作用によって、金(Au)線からなるリード導線313のボンディング時に加わる下地膜へのダメージが軽減されて、光電変換膜310に強い電界を印加したときでも、ボンディング部分で光電変換膜310の絶縁破壊による膜破損をなくすることが可能となる。

【0101】したがって、非ドーブ水素化非晶質シリコン(Si)層308に 5×10^5 (V/cm)の高電界を印加し電荷増倍現象を発生させることが可能となる。

【0102】本実施例は、光電変換膜310上の一部に小さな導電性保護膜312を設けるだけであり、簡易に作製できる特徴がある。

【0103】なお、導電性保護膜312は、透明電極膜311と光電変換膜310との間に形成してもよく、また、導電性保護膜312と金(Au)線からなるリード導線313は、画素電極302が配置されている部分の光電変換膜310上に配置してもよい。

【0104】[実施例4]図4は、本発明の他の実施例(実施例4)である固体撮像素子の概略構成を示す断面図である。

【0105】本実施例の固体撮像素子においては、画素電極401までの走査回路基板は、前記実施例2と全く同じである。

【0106】本実施例では、走査回路基板上に、非晶質セレン(Se)を母体とする光電変換膜402とITO透明電極膜403を形成し、さらに、リード導線接続領域404の透明電極膜上にテルル(Te)からなる導電性保護膜405を積層し、金(Au)線からなるリード導線406を導電性保護膜405にボンディングする。

【0107】非晶質セレン(Se)は熱により変質し易いため導電性保護膜405は、常温付近以下で形成可能な材料でなければならない。

【0108】本実施例では、蒸気圧が大きく比較的低い温度で蒸発しやすい材料であるテルル(Te)を用いているので、導電性保護膜405の形成の際に下地の透明電極膜403や光電変換膜402にダメージを与えることがない。

【0109】また、他の蒸気圧が大きい材料であるアンチモン(Sb)、鉛(Pb)または亜鉛(Zn)を用いることも可能である。

【0110】[実施例5]図5は、本発明の他の実施例(実施例5)である固体撮像素子の概略構成を示す断面図である。

【0111】本実施例は、N型シリコン(Si)ウエハ501の一方の面に読取り転送機能をもつ走査回路を形成し、他の面に高濃度のP型層からなる画素電極502を配置し、画素電極502とソース電極503を高濃度のP型溝504で電気的に接続した固体撮像素子である。

10 【0112】ここで、505はドレイン電極、506はゲート電極、507は二酸化シリコン(SiO₂)からなるゲート絶縁層である。

【0113】このようにして作製した下地基板の表面上に、セレン化ヒ素(As₂Se₃)層、非晶質セレン(Se)層、および、二酸化セリウム(CeO₂)正孔注入阻止層からなる厚さ1 μ mの光電変換膜508を真空蒸着法で形成する。

20 【0114】そして、有効光電変換領域511以外の有効光電変換領域外部分509上に、さらに、厚さ2 μ mの増し付けセレン(Se)層510を真空蒸着法で増し付けする。

【0115】この増し付けセレン(Se)層510を蒸着する際は、有効光電変換領域511をマスクして蒸着するのであるが、その際基板とマスクとの間の距離を通常より離して蒸着材料の廻り込みを大きくし、図5に示すように、滑らかに膜厚が変化するように形成する。

【0116】最後に、ITO透明電極膜512、ボンディングパッド513を形成し、金(Au)線からなるリード導線514をパッドにボンディングする。

30 【0117】前記実施例2と同じように、透明電極膜512に145Vの電圧を印加し、光電変換膜508に 1.45×10^5 (V/cm)の高電界が印加されても、ボンディングパッド513下の層は、増し付けセレン(Se)層によりその膜厚が光電変換膜の3倍になっているので、そこでの電界は約 5×10^5 (V/cm)にまで緩和され、ボンディング部分での光電変換膜508膜の絶縁破壊による膜破損が防止される。

40 【0118】本実施例は、光電変換膜508上の一部に増し付け層をのせるだけであり、簡易に作製できるのが特徴である。

【0119】増し付け層の材料として、本実施例では、非晶質セレン(Se)を用いたが、より耐久性の高いセレン化ヒ素(As₂Se₃)、硫化アンチモン(Sb₂S₃)等のカルコゲナイト系非晶質半導体を用いても良い。

【0120】また、光電変換膜508と同程度以上の抵抗値をもちかつ常温で形成可能な材料であればそれでも良い。

50 【0121】図6は、本実施例の変形例である固体撮像素子の概略構成を示す断面図であり、図6に示すよう

に、光電変換膜508は有効光電変換領域のみに形成し、その上に別の耐久性に富んだ材料515を形成する構造にしても良い。

【0122】[実施例6] 図7は、本発明の他の実施例(実施例6)である固体撮像素子の概略構成を示す断面図である。

【0123】本実施例では、N型シリコン(Si)ウエハ701の裏面に、前記実施例2と同じような、読取り転送機能をもつ走査回路を形成し、表面側に高濃度のP型層からなる画素電極702を配置する。

【0124】このようにして作製した下地基板の表面上に、セレン化ヒ素(As_2Se_3)層、非晶質セレン(Se)層、テルル(Te)を10%ドーブした非晶質セレン(Se)層、および、二酸化セリウム(CeO_2)正孔注入阻止層からなる厚さ1 μm の光電変換膜703を真空蒸着法で形成する。

【0125】ここで、テルル(Te)ドーブ層は、赤色光の感度を高めるための層である。

【0126】有効光電変換領域704の光電変換膜703上にITO透明電極膜705をスパッタリング法で形成する。

【0127】さらに、厚さ3 μm のヒ素(As)を5%ドーブした非晶質セレン(Se)からなる増し付け層706をITO透明電極膜705の一端上からITO透明電極膜705の無い領域707上にかけて真空蒸着法で形成する。

【0128】最後に、厚さ0.2 μm の導電性テルル(Te)膜708をITO透明電極膜705の一端上から増し付け層706の上にかけて形成し、図7に示した位置で金(Au)線からなるリード導線709を導電性テルル(Te)膜708にボンディングする。

【0129】金(Au)線からなるリード導線709のボンディング時には、ボンディング箇所に一瞬の間高熱が加えられ、その箇所には何等かの損傷が残るが、有効光電変換領域704とボンディング箇所は十分に離れているので、有効光電変換領域704の熱に弱い非晶質セレン(Se)からなる光電変換膜703や、熱に弱いITO透明電極膜705には何等の影響も与えることがない。

【0130】金(Au)線からなるリード導線709を通して透明電極膜705に約150Vの電圧を印加し、光電変換膜703に 1.48×10^6 (V/cm)の高電界が印加されると、増倍率が約20倍の光電荷の走行によるアバランシェ増倍現象が起こる。

【0131】ボンディング箇所下の増し付け層706は、その膜厚が光電変換膜703の三倍になっているので、その層の電界は約 5×10^5 (V/cm)にまで緩和されているので、ボンディング箇所には何等かの損傷が存在してもそこでの光電変換膜703の絶縁破壊による膜破損を防止することが可能となる。

【0132】また、増し付け層706には5%のヒ素(As)がドーブされているので、光電変換膜703よりも耐熱性に富んでいる。

【0133】本実施例は、前記実施例2や実施例5のように、増し付け層エッジ部分での電界集中による耐電圧の低下を防ぐために増し付け層の有効光電変換領域側のエッジ部分710を滑らかに作製しなければならないという制約が無く簡易に作製できることと、エッジ部分での電界集中が発生しえない構造であることが大きな特徴である。

【0134】増し付け層706の材料としてここではヒ素(As)をドーブした非晶質セレン(Se)を用いたが、より耐久性の高いセレン化ヒ素(As_2Se_3)、硫化アンチモン(Sb_2S_3)等のカルコゲナイト系非晶質半導体を用いても良い。

【0135】また、光電変換膜703と同程度以上の抵抗値をもちかつ常温で形成可能な材料であればそれでも良い。

【0136】増し付け層706と導電性膜708は、柔軟性に富んだ材料を選んで、張り付けによって形成しても良い。

【0137】[実施例7] 図8は、本発明の他の実施例(実施例7)である固体撮像素子の概略構成を示す断面図である。

【0138】本実施例では、まず、シリコン(Si)ウエハ801上に走査回路、コンタクト線802、及び画素電極803を形成する。

【0139】ここで、804は、厚さ4 μm の二酸化シリコン(SiO_2)絶縁層であり、各画素電極803を電氣的に分離するためのものである。

【0140】次に、厚さ1 μm の非晶質セレン(Se)を母体とする光電変換膜805を積層する。

【0141】光電変換膜805の構造は、前記実施例4と同じである。

【0142】そして、リード導線接続領域810の透明電極膜806上に導電性テルル(Te)膜807からなるボンディングパッドを形成し、金(Au)線からなるリード導線808を導電性テルル(Te)膜807にボンディングする。

【0143】本実施例の固体撮像素子を実際に動作させるときには、シリコン(Si)ウエハ801、画素電極803、および、コンタクト線802は、アース電位から高々数Vの電圧に設定される。

【0144】一方、非晶質セレン(Se)を母体とする光電変換膜内805で電荷増倍現象を発生させるため、透明電極膜に145Vの電圧を印加する。

【0145】すると、有効光電変換領域809の画素電極803と透明電極膜806との間の非晶質セレン(Se)を母体とする光電変換膜内805には、 1.45×10^6 (V/cm)の高電界が印加され電荷増倍は10

倍に達する。

【0146】このとき、ボンディングパット807下の透明電極膜806とシリコン(Si)ウエハ801との間にも145Vの電圧が印加される。

【0147】この部分は、厚さ1 μ mの光電変換膜805、二酸化シリコン(SiO₂)絶縁層804の二層構造になっている。

【0148】光電変換膜805の母体材料である非晶質セレン(Se)と、絶縁層804の材料である二酸化シリコン(SiO₂)の誘電率をそれぞれ6.3、3.9として各層の電界を見積もると、リード導線接続領域810の光電変換膜805部分に印加される電界は約3.4 $\times 10^5$ (V/cm)となる。

【0149】このように、ボンディングパット807下の光電変換膜805の電界は1/4以下に緩和される。

【0150】したがって、ボンディング箇所にも何等かの損傷が存在しても、そこでの光電変換膜805の絶縁破壊による膜破損が防止され、耐久性に余裕のある固体撮像素子を実現できる。

【0151】本実施例では、二酸化シリコン(SiO₂)絶縁層804の膜厚を意図的に厚くしていることが耐久性を向上するポイントになっている。

【0152】[実施例8]図9は、本発明の他の実施例(実施例8)である固体撮像素子の概略構成を示す断面図である。

【0153】本実施例では、N型シリコン(Si)ウエハ901の裏面にMOS型走査回路、表面に信号読取り用の画素電極902を、それぞれ二次元的に配列し、さらに表面の画素電極902上に非晶質セレン(Se)を母体とする光電変換膜903を積層した構成の固体撮像素子である。

【0154】まず、N型シリコン(Si)ウエハ901の裏面に、前記実施例3と同じような、読取り転送機能をもつ走査回路を形成し、表面側に高濃度のP型層からなる画素電極902を配置する。

【0155】本実施例では、有効光電変換領域908の以外のリード導線接続領域909における、透明電極膜905に印加する電圧を入力するための電圧供給線を接続する箇所の方のシリコン(Si)ウエハ901に、厚さ4 μ mの二酸化シリコン(SiO₂)絶縁層904を形成する。

【0156】絶縁層904は、光電変換膜903と同程度以上の比抵抗を有する層にするか、または、光電変換膜903よりも膜厚を大きくしておく。

【0157】このようにして作製した下地基板の表面上に、セレン化ヒ素(As₂Se₃)層、非晶質セレン(Se)層、テルル(Te)を10%ドーブした非晶質セレン(Se)層および二酸化セリウム(CeO₂)2正孔注入阻止層からなる厚さ1 μ mの光電変換膜903を真空蒸着法で形成する。

【0158】光電変換膜903上にITO透明電極膜905をスパッタリング法で形成する。

【0159】最後に、厚さ0.2 μ mの導電性テルル(Te)膜906をITO透明電極膜905の一端上に形成し、図9に示す位置で金(Au)線からなるリード導線907を導電性テルル(Te)膜906からなるボンディングパットにボンディングする。

【0160】この固体撮像素子を実際に動作させるときには、非晶質セレン(Se)を母体とする光電変換膜903内で電荷増倍現象を発生させるため、透明電極膜905に145Vの電圧を印加する。

【0161】すると、有効光電変換領域908の画素電極902と透明電極膜905との間の非晶質セレン(Se)を母体とする光電変換膜910には、1.45 $\times 10^5$ (V/cm)の高電界が印加され電荷増倍は10倍に達する。

【0162】一方、リード導線接続領域909では、光電変換膜903と二酸化シリコン(SiO₂)絶縁層904との間の範囲911に145Vが印加されるので、電圧は光電変換膜903と二酸化シリコン(SiO₂)絶縁層904に分配される。

【0163】光電変換膜903の母体材料である非晶質セレン(Se)と絶縁層904の材料である二酸化シリコン(SiO₂)の誘電率をそれぞれ6.3、3.9として各層の電界を見積もると、リード導線接続領域909の光電変換膜903部分に印加される電界は約3.4 $\times 10^5$ (V/cm)、二酸化シリコン(SiO₂)絶縁層904部分に印加される電界は約5.5 $\times 10^5$ (V/cm)となる。

【0164】このように、導電性テルル(Te)膜906下の光電変換膜903の電界が緩和されるので、ボンディング箇所にも何等かの損傷が存在しても、そこでの光電変換膜903の絶縁破壊による膜破損を抑制することができ、ボンディング箇所の耐電圧は光電変換膜903の耐電圧よりも大きくなるので、耐久性に余裕のある固体撮像素子となる。

【0165】本実施例では、厚さ4 μ mの二酸化シリコン(SiO₂)絶縁層904を導入したが、例えば、光電変換膜903の抵抗値の3倍の大きさの抵抗値を有する厚さ1 μ mの高抵抗層を代わりに導入する方法もある。

【0166】その場合は、145Vの電圧が光電変換膜903と高抵抗層に分配され、領域909の光電変換膜903に発生する電界は1/4に緩和され、電圧供給線の接続箇所での光電変換膜903の絶縁破壊による膜破損を抑制することができる。

【0167】[実施例9]図10は、本発明の他の実施例(実施例9)である固体撮像素子の概略構成を示す断面図であり、図11は、図10に示す固体撮像素子において、光電変換膜を積層する以前の走査回路基板を上か

ら見たときの概略図である。

【0168】本実施例では、MOS型走査回路基板として、シリコン(Si)ウエハ11上にMOS型スイッチを2次的に形成し、二酸化シリコン(SiO₂)絶縁層12を介して画素電極13、各画素電極13を分離する分離絶縁層14および画素電極13と走査回路を電気的に接続するためのコンタクト線15を形成したものをを用いる。

【0169】画素電極13と同一面の画素電極13の隣に、電極16と電極17およびその間に抵抗体18を、またそれらの下に絶縁層12を介して別の電極19を形成する。

【0170】これらの工程は、従来の固体撮像素子と同様の工程で作製する。

【0171】この走査回路基板上に、非晶質セレン(Se)を母体とする厚さ1μmの光電変換膜20、ITO透明電極膜21を積層し、電極17の上方の透明電極膜21上にA1膜22を積層し、そのA1膜22に金(Au)線からなるリード導線23をボンディングする。

【0172】本実施例において、光電変換膜20の構造は、前記実施例6と同じである。

【0173】この固体撮像素子を実際に動作させるときには、非晶質セレン(Se)を母体とする光電変換膜20内で電荷増倍現象を発生させるため、透明電極膜21に148Vの電圧を印加し、画素電極13と電極16には3V、電極17には100V、電極19には3Vの電圧をそれぞれ印加する。

【0174】すると、有効光電変換領域24の画素電極13と透明電極膜21との間の非晶質セレン(Se)を母体とする光電変換膜20には、 1.45×10^6 (V/cm)の高電界が印加され、透明電極膜21を透過して入射した光によって生成した電荷の増倍率は10倍に達する。

【0175】一方、金(Au)線からなるリード導線23のボンディング箇所下の光電変換膜20の図10中の25の箇所では、電極17に印加された100Vの電圧により、電界が緩和され、約 5×10^5 (V/cm)になっており、ボンディング箇所にて何等かの損傷が存在しても、そこでの光電変換膜20膜の絶縁破壊による膜破損を抑止することができ、耐久性に余裕のある固体撮像素子を実現できる。

【0176】電極16は画素電極13と等電位になっているのでリーク電流の発生はなく、また電極19によって電極17に印加されている100Vの電圧による周辺への影響を遮断している。

【0177】抵抗体18の抵抗値は、電極16と電極17の間のリーク電流による、発熱、電力消費が大きくならないように高い抵抗値にする。

【0178】本実施例は、走査回路基板および光電変換膜20の作製工程を従来の作製手法とほぼ同様の手法で

作製できるという利点がある。

【0179】[実施例10]図12は、本発明の他の実施例(実施例10)である固体撮像素子の概略構成を示す断面図である。

【0180】本実施例は、シリコン(Si)ウエハ41の裏面にMOS型スイッチを集積化した走査回路、表面に信号読取り用の画素電極42を、それぞれ二次的に配列し、さらに表面の画素電極42上に非晶質セレン(Se)を母体とする光電変換膜43を積層した構成の固体撮像素子である。

【0181】走査回路基板は、前記実施例8と同じように、N型シリコン(Si)ウエハ41の裏面に読取り転送機能をもつ走査回路を形成し、表面側に高濃度のP型層からなる画素電極42を配置した構成で、画素電極42と走査回路は、高濃度のP型溝44で電気的に接続している。

【0182】本実施例では、さらにN型シリコン(Si)ウエハ41の画素電極42と同一面の画素電極42の隣りのリード導線接続領域52に、N型層45、i層46、P+層47からなるpin接合層を形成しておく。

【0183】このようにして作製した下地基板の表面上に、セレン化ヒ素(As₂Se₃)層、非晶質セレン(Se)層、二酸化セリウム(CeO₂)正孔注入阻止層からなる厚さ1μmの光電変換膜43とITO透明電極膜48を形成する。

【0184】さらに導電性テルル(Te)膜49からなるボンディングパッドをITO透明電極膜48の一端上に形成し、導電性テルル(Te)膜49上に金(Au)線からなるリード導線50をボンディングする。

【0185】金(Au)線からなるリード導線50のボンディング時には、ボンディング箇所にて一瞬の間高熱が加えられ、その箇所にて何等かの損傷が残るが、有効光電変換領域51とボンディング箇所は充分に離れているので、有効光電変換領域51の熱に弱い非晶質セレン(Se)からなる光電変換膜43には何等の影響も与えることがない。

【0186】金(Au)線からなるリード導線50を通して透明電極膜48に145Vの電圧を印加し、有効光電変換領域51の光電変換膜48に 1.45×10^6 (V/cm)の高電界が加えられると、増倍率が約10倍の光電荷の走行によるアバランシェ増倍現象が起こる。

【0187】一方、N型層45には50Vから100Vの任意の電圧を印加し、P+層47には3Vの3電圧を印加して、pin接合層を逆バイアス状態にする。

【0188】このとき、pin接合層のドーパ濃度と層厚を接合層内でブレイクダウンしないように設定しておき、N型層45に印加されている電圧の影響を画素電極42領域に及ぼさないようにする。

【0189】例えば、N型層45を100Vにすれば、N型層45と透明電極膜48との間の電位差は45Vでありリード導線接続領域52の光電変換膜43の電界は 0.45×10^6 (V/cm)に緩和されているので、ボンディング箇所にて何等かの損傷が存在しても、そこでの光電変換膜43の絶縁破壊による膜破損を防止することが可能となる。

【0190】[実施例11] 図13は、本発明の他の実施例(実施例11)である固体撮像素子の概略構成を示す断面図であり、図14は、図13に示すR-S間のバンド構造を示す模式図である。

【0191】本実施例では、リード導線接続領域61以外の走査回路基板の構造は、前記実施例10と同じであり、画素電極68は、高濃度ドーブP型層からなっている。

【0192】走査回路基板上に膜厚1 μ mの非晶質セレン(Se)層からなる光電変換膜62と二酸化セリウム(CeO₂)正孔注入阻止層63を形成し、さらに、導電性テルル(Te)膜64からなるボンディングパッドをITO透明電極膜65の一端上に形成し、導電性テルル(Te)膜64上に金(Au)線からなるリード導線66をボンディングする。

【0193】本実施例では、リード導線接続領域61の、画素電極68と同一面のシリコン(Si)基板に低濃度ドーブのP型層69と高濃度ドーブのP型層70を配置する。

【0194】この素子を動作するときには、透明電極膜65に148V、画素電極68と高濃度ドーブのP型層70に3Vの電圧をそれぞれ印加する。

【0195】高濃度ドーブのP型層70には、高濃度ドーブのP型層と接続されているA1電極72(図14に示すバンド構造参照)から電圧を印加する。

【0196】このとき、有効光電変換領域71の光電変換膜62には 1.45×10^6 (V/cm)の高電界が印加される。

【0197】一方、金(Au)線からなるリード導線66のボンディング箇所下の部分のR-S間での電界のようすは、低濃度ドーブのP型層69に空乏層が広がるため、図14のバンド構造に示す電界配分になる。

【0198】図14に示すように、透明電極膜65と高濃度ドーブのP型層70の間に145Vの電位差が生じ、電界は光電変換膜62と低濃度ドーブのP型層69に渡って印加されるが、リード導線接続領域61の光電変換膜62部分の電界の強さは、有効光電変換領域71の光電変換膜62の電界より小さくなる。

【0199】よって、金(Au)線からなるリード導線66のボンディング箇所にて何等かの損傷が存在してもそこには、強い電界が加わることがないので、光電変換膜62の絶縁破壊による膜破損を防止することが可能となる。

【0200】高濃度ドーブのP型層70は、低濃度ドーブのP型層69に広がる空乏層が、画素電極のある有効光電変換領域に及ばないようにするために設けてある。したがって、有効光電変換領域71と金(Au)線からなるリード導線66のボンディング箇所を充分に離せば、高濃度ドーブのP型層70はなくしても良い。

【0201】[実施例12] 図15は、本発明の他の実施例(実施例12)である固体撮像素子の概略構成を示す断面図である。

【0202】図16、および、図17は、図15に示すP-Q間の電位分布、および、電界分布を示す図である。

【0203】本実施例は、シリコン(Si)ウエハ81の一方の面にMOS型スイッチを集積化した走査回路、他の面に信号読取り用の画素電極82を、それぞれ二次元的に配列し、さらに表面の画素電極82上に厚さ1 μ mの非晶質セレン(Se)を母体とする光電変換膜83と、非晶質セレン(Se)にLiFを0.1%ドーブした厚さ150nmの正孔捕獲層88と透明電極膜84を積層した構成の固体撮像素子である。

【0204】正孔捕獲層88は、透明電極膜84からの正孔注入を抑制して暗電流を低減するために設けられている。

【0205】また、有効光電変換領域外で、透明電極膜84上の導電性テルル(Te)膜86からなるボンディングパッドを形成し、導電性テルル(Te)膜86に透明電極膜84に電圧を印加するための金(Au)線からなるリード導線85が接続される。

【0206】さらに、本実施例では、有効光電変換領域外で、導電性テルル(Te)膜86からなるボンディングパッドの下方の光電変換膜83の透明電極膜84側に、非晶質セレン(Se)にフッ化リチウム(LiF)を0.5%ドーブした正孔捕獲層87を設ける。

【0207】この正孔捕獲層87は、正孔捕獲層88よりも捕獲能力を強力にするために層厚とドーブ濃度を大きくしている。

【0208】正孔捕獲層87は、層内に正孔が流れ込むか光電荷が生成されるとそれらの正孔を捕獲して空間電荷層になるもので、本実施例の固体撮像素子の動作時には、正の空間電荷層になる。

【0209】透明電極膜84に145Vの電圧を印加すると、透明電極膜84とシリコン(Si)ウエハ81および画素電極82の間に電界が印加される。

【0210】そのとき、図15に示すP-Q間の電位分布および電界分布は正孔捕獲層87により、それぞれ図16および図17に示すようになる。

【0211】透明電極膜84の直下の正孔捕獲層内87では、電界は1/10以下に緩和されるので、電圧供給線の接続箇所での光電変換膜83の絶縁破壊による膜破損を防止することができ、そこでの耐電圧は有効光電変

換領域の光電変換膜 83 のアバランシェブレイクダウン電圧以上となる。

【0212】したがって、光電変換膜 83 に十分に強い電界を印加でき、増倍率の大きい光電荷の増倍現象を発生させることができ、非常に高い感度を有する固体撮像素子が実現できる。

【0213】〔実施例 13〕図 18 は、本発明の他の実施例（実施例 13）である固体撮像素子の概略構成を示す断面図である。

【0214】本実施例では、前記実施例 9 と同じように、シリコン（Si）ウエハ上 91 に MOS 型スイッチを集積化した走査回路基板上に信号読取り用の画素電極 82 を二次元的に配列し、さらに画素電極 82 上に非晶質セレン（Se）を母体とする光電変換膜 92 と透明電極膜 93 を積層した構成の固体撮像素子である。

【0215】ここで、光電変換膜 92 の構造は、前記実施例 6 と同じである。

【0216】本実施例では、透明電極膜 93 の有効光電変換領域外に金（Au）膜 94 を形成し、パッケージ 95 に固定してある支持棒 96 に付けた金（Au）線リング 97 を金（Au）膜 94 に電氣的に導通するように接触させる。

【0217】このようにすれば、接触圧は弱いので透明電極膜 93 や光電変換膜 92 に損傷を与えることなく、透明電極膜 93 に電圧を印加するための電圧供給線を接続でき、接続箇所での耐電圧が低下することによる、光電変換膜の絶縁破壊による膜破損を防止することが可能となる。

【0218】電圧供給線の材料は、金（Au）またはタングステン（W）であるか、弾性のある材料の表面に金（Au）または他の導電性物質をつけたものであっても良い。

【0219】〔実施例 14〕図 19 は、本発明の他の実施例（実施例 14）である固体撮像素子の概略構成を示す断面図である。

【0220】本実施例においては、透明電極膜 93 上の金（Au）膜 94 までは、前記実施例 13 と全く同様に作製した固体撮像素子である。

【0221】本実施例では、金（Au）膜 94 と金（Au）線リング 97 の電氣的導通をより確実にするために、金（Au）膜 94 と金（Au）線リング 97 の接触部分に液体金属 98 を配置してある。

【0222】本実施例の構造では、金（Au）膜 94 と金（Au）線リング 97 とは、必ずしも直接に接触している必要はない。

【0223】なお、本実施例では、金（Au）膜 94 と金（Au）線リング 97 とを用いているが、金（Au）以外の材料で液体金属 98 と濡れ性のある別の材料の膜とリング線を用いても良い。

【0224】このようにすれば、透明電極膜 93 や光電

変換膜に損傷を与えることなく、透明電極膜 93 に電圧を印加するための電圧供給線を接続でき、接続箇所での耐電圧が低下することによる、光電変換膜の絶縁破壊による膜破損を防止することが可能となる。

【0225】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0226】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0227】（1）本発明によれば、光電変換膜に高い電界を印加するときに発生する、有効光電変換領域外の光電変換膜やリード導線をボンディングした箇所での素子の絶縁破壊による破損を防止して、光電変換膜内で電荷増倍現象が発生するだけの大きな電界を有効光電変換領域内の光電変換膜に印加することが可能となる。

【0228】これにより、素子の耐久性を大幅に向上させることが可能となる。

【0229】（2）本発明によれば、光電変換膜に印加する電圧を変えることで、感度の設定を容易に、かつ、幅広く選択することが可能となる。

【0230】（3）本発明によれば、従来になかった非常に高い感度を有する固体撮像素子を実現することが可能となる。

【図面の簡単な説明】

【図 1】本発明の一実施例（実施例 1）である固体撮像素子の概略構成を示す断面図である。

【図 2】本発明の他の実施例（実施例 2）である固体撮像素子の概略構成を示す断面図である。

【図 3】本発明の他の実施例（実施例 3）である固体撮像素子の概略構成を示す断面図である。

【図 4】本発明の他の実施例（実施例 4）である固体撮像素子の概略構成を示す断面図である。

【図 5】本発明の他の実施例（実施例 5）である固体撮像素子の概略構成を示す断面図である。

【図 6】実施例 5 の変形例である固体撮像素子の概略構成を示す断面図である。

【図 7】本発明の他の実施例（実施例 6）である固体撮像素子の概略構成を示す断面図である。

【図 8】本発明の他の実施例（実施例 7）である固体撮像素子の概略構成を示す断面図である。

【図 9】本発明の他の実施例（実施例 8）である固体撮像素子の概略構成を示す断面図である。

【図 10】本発明の他の実施例（実施例 9）である固体撮像素子の概略構成を示す断面図である。

【図 11】実施例 9 に示す固体撮像素子において、光電変換膜を積層する以前の走査回路基板を上から見たときの概略図である。

25

【図 12】本発明の他の実施例（実施例 10）である固体撮像素子の概略構成を示す断面図である。

【図 13】本発明の他の実施例（実施例 11）である固体撮像素子の概略構成を示す断面図である。

【図 14】図 13 に示す R-S 間のバンド構造を示す模式図である。

【図 15】本発明の他の実施例（実施例 12）である固体撮像素子の概略構成を示す断面図である。

【図 16】図 15 に示す P-Q 間の電位分布を示す図である。

【図 17】図 15 に示す P-Q 間の電界分布を示す図である。

【図 18】本発明の他の実施例（実施例 13）である固体撮像素子の概略構成を示す断面図である。

【図 19】本発明の他の実施例（実施例 14）である固体撮像素子の概略構成を示す断面図である。

【図 20】従来の固体撮像素子の斜視図である。

【図 21】図 20 に示す固体撮像素子の断面図である。

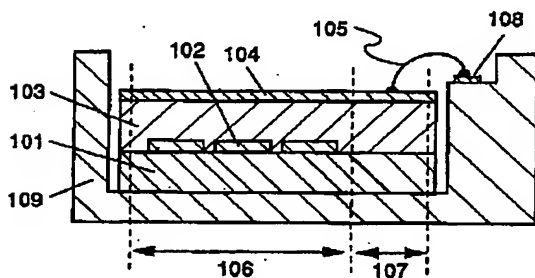
【符号の説明】

1, 20, 43, 62, 83, 92, 103, 202, 402, 310, 508, 703, 805, 903…光電変換膜、2, 13, 42, 68, 82, 102, 203, 302, 401, 502, 702, 803, 902…画素電極、3, 23, 50, 66, 85, 105, 207, 313, 406, 514, 709, 808, 907…リード導線、4…バッシベーション膜、5, 101…走査回路基板、6, 8…リード導線接続箇所、7, 9…光電変換膜のエッジ部分、10, 21, 48, 65, 84, 93, 104, 201, 311, 403, 51

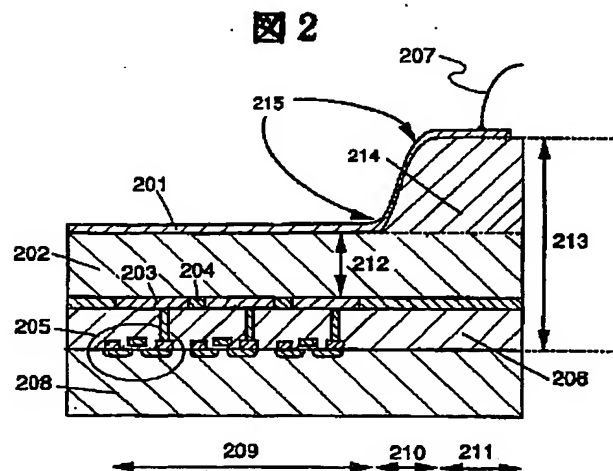
26

2, 705, 806, 905…透明電極膜、11, 41, 67, 81, 91, 208, 301, 501, 701, 801, 901…シリコン (Si) ウェハ、12, 206, 804, 904…絶縁層、14, 204…各画素を分離する絶縁層、15, 802…コンタクト線、16, 17, 19…電極、18…抵抗体、22, 72…Al 膜、24, 51, 71, 106, 209, 511, 704, 809, 908…有効光電変換領域、44, 304, 504…高濃度の P 型コンタクト溝、45…N 型層、46…i 層、47…P+層、49, 64, 86, 312, 405, 708, 807, 906…テルル (Te) 導電性膜、52, 61, 107, 211, 404, 810, 909…リード導線接続領域、63…正孔注入阻止層、69…低濃度ドープの P 型層、70…高濃度ドープの P 型層、87, 88…正孔捕獲層、94…金 (Au) 膜、95, 109…パッケージ、96…支持棒、97…金 (Au) 線リング、98…液体金属、108…ピン端子に通ずる導電性膜、205…MSO 型スイッチ回路、210…中間領域、214…増し付け光電変換膜、215…膜厚の遷移する部分、303, 503…ソース電極、305, 505…ドレイン電極、306, 506…ゲート電極、307, 507…ゲート絶縁層、308…非ドープ水素化非晶質シリコン (Si) 層、309…電子注入阻止層、510…増し付けセレン (Se) 層、513…ボンディングパッド、515…耐久性に富んだ材料、509…有効光電変換領域外部分、706…As を 5% ドープした非晶質セレン (Se) からなる増し付け層、710…増し付け層の有効光電変換領域側のエッジ部分、910…有効光電変換領域の光電変換膜。

【図 1】

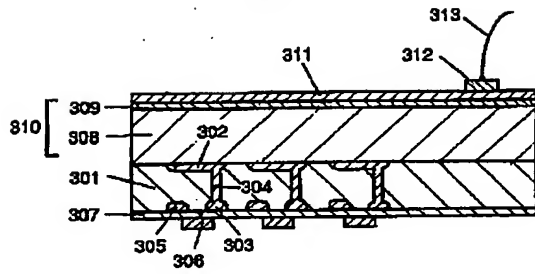


【図 2】



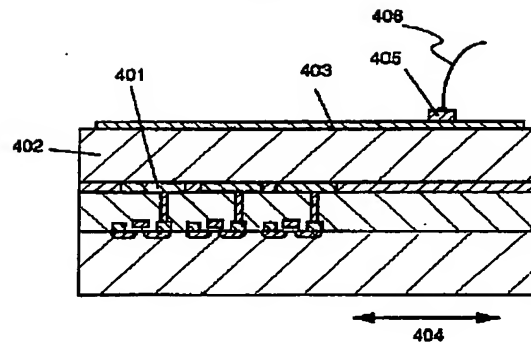
【図 3】

図 3



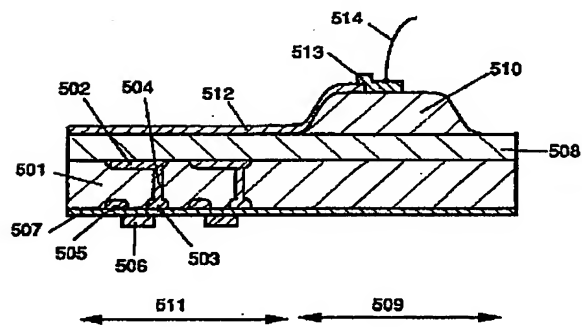
【図 4】

図 4



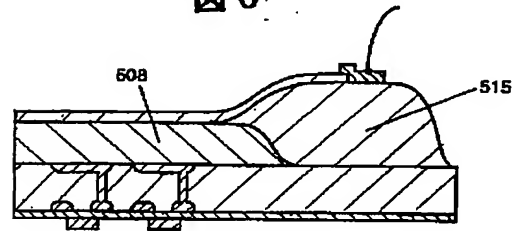
【図 5】

図 5



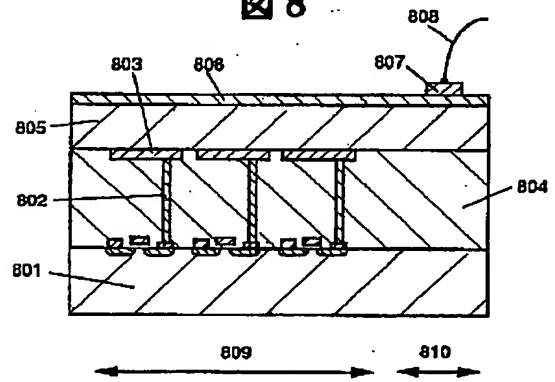
【図 6】

図 6



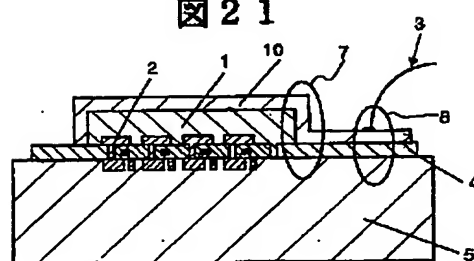
【図 8】

図 8



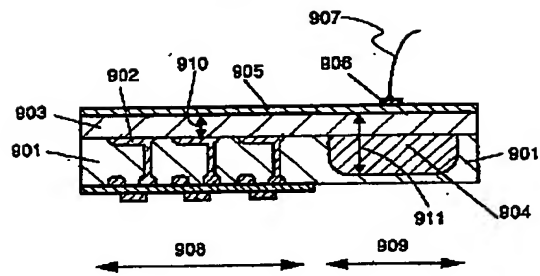
【図 2 1】

図 2 1



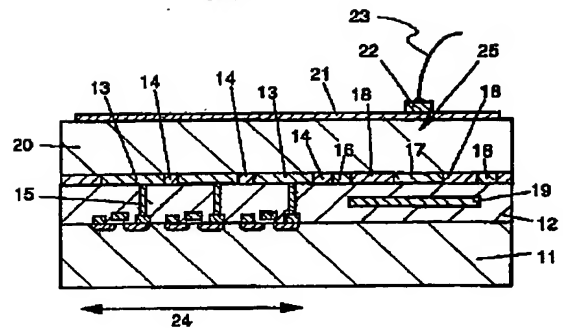
【図 9】

図 9



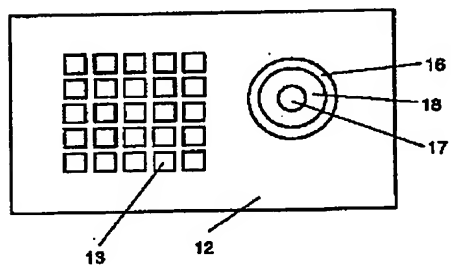
【図 10】

図 10



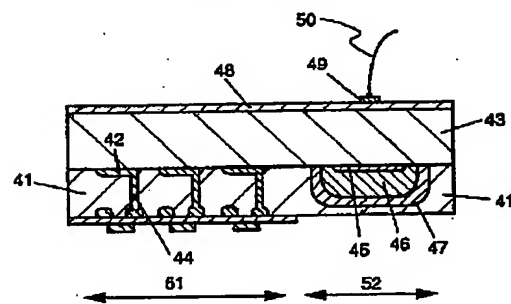
【図 11】

図 11



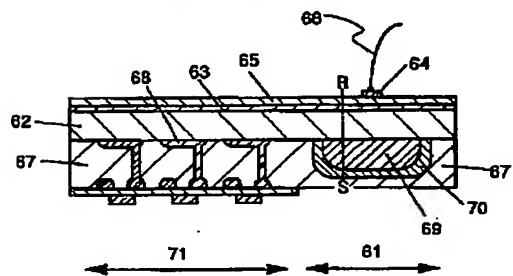
【図 12】

図 12



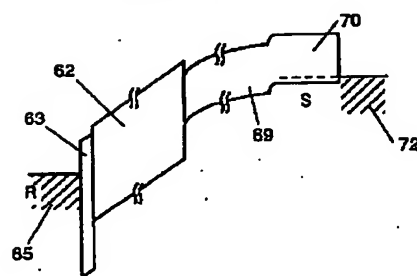
【図 13】

図 13



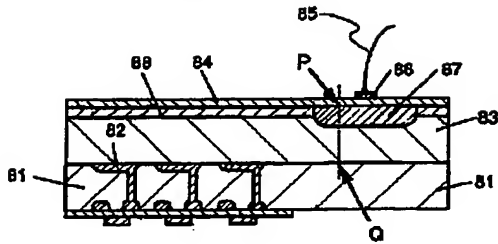
【図 14】

図 14



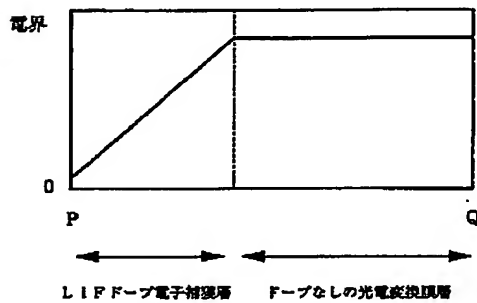
【図15】

図15



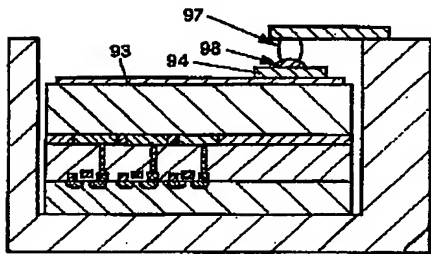
【図17】

図17



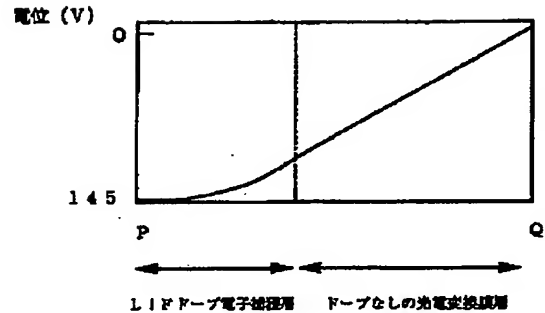
【図19】

図19



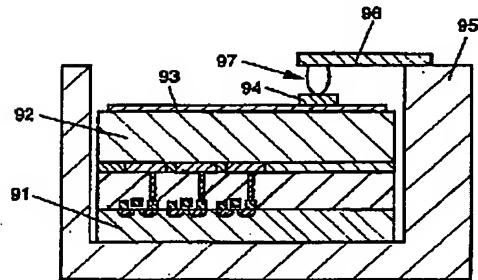
【図16】

図16



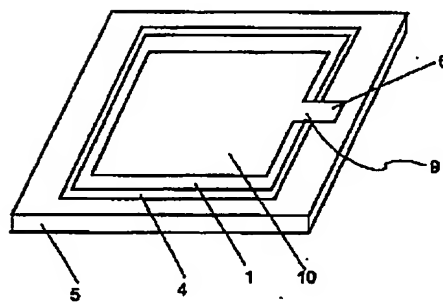
【図18】

図18



【図20】

図20



フロントページの続き

(72)発明者 尾崎 俊文
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 平井 忠明
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 辻 和隆
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 加藤 務
東京都世田谷区砧一丁目10番11号 日本放
送協会技術研究所内

(72)発明者 久保田 節
東京都世田谷区砧一丁目10番11号 日本放
送協会技術研究所内

(72)発明者 瀧口 吉郎
東京都世田谷区砧一丁目10番11号 日本放
送協会技術研究所内